

(19) 日本国特許庁 (J.P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-357681

(P2001-357681A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 1 1 C 16/02		G 1 1 C 17/00	6 1 1 G 5 B 0 2 5
16/04			6 1 1 A 5 F 0 0 1
H 0 1 L 21/8247			6 2 2 C 5 F 0 8 3
27/115		H 0 1 L 27/10	4 3 4
29/788		29/78	3 7 1

審査請求 未請求 請求項の数16 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2000-180760(P2000-180760)

(22) 出願日 平成12年6月12日(2000. 6. 12)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 江守 孝之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

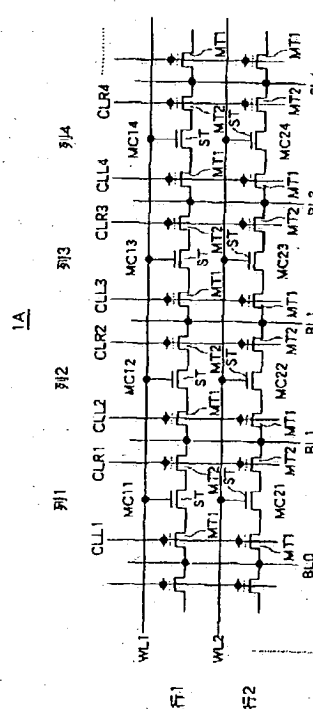
最終頁に続く

(54) 【発明の名称】 半導体記憶装置およびその駆動方法

(57) 【要約】

【課題】複数のメモリトランジスタを並列に書き込むまたは読み出すことができ、ペリフェイを含むプログラムの高速化を実現できるソースサイド・チャネルホットエレクトロン注入を行うメモリセルアレイを有する半導体記憶装置およびその駆動方法を提供する。

【解決手段】メモリセルを第1メモリトランジスタMT1、第2メモリトランジスタMT2、およびこれらの間にチャネル形成領域を共有するセレクトトランジスタSGにより構成し、ソースサイド・チャネルホットエレクトロン注入を行うMONOS型(MNOS型)不揮発性メモリあるいはフローティングゲート型不揮発性メモリにおいて、ワード線上の数ビットおきにあるビット単位に対し同時プログラムパルス印加を行い、連続して同じビット単位のペリフェイを行う。



【特許請求の範囲】

【請求項1】 電荷蓄積手段および当該電荷蓄積手段の電荷蓄積量を調整するためのコントロールゲートを有する少なくとも一つのメモリトランジスタと、当該メモリトランジスタとチャネル形成領域を共有する少なくとも一つのセレクトトランジスタを含む複数のメモリセルが配列され、ワード線方向に配列された複数のメモリセルが縦続接続されたメモリセルアレイと、

上記ワード線方向に縦続接続された各メモリセルの上記セレクトトランジスタのゲートが共通に接続されたワード線と、

プログラム時に、上記メモリトランジスタのコントロールゲートを駆動して上記メモリセルアレイをワード線方向で複数メモリセルおきに電氣的に分割し、所定ビット単位でメモリトランジスタのコントロールゲートに対し並列的にプログラムパルス印加を行い、連続して同じビット単位のペリファイを行う制御手段とを有する半導体記憶装置。

【請求項2】 上記メモリセルの電荷蓄積手段は、窒化膜を含む絶縁膜に含まれる請求項1記載の半導体記憶装置。

【請求項3】 上記メモリセルの電荷蓄積手段は、導電物質を含む絶縁膜に含まれる請求項1記載の半導体記憶装置。

【請求項4】 上記メモリセルは、第1メモリトランジスタと、第2メモリトランジスタと、当該第1メモリトランジスタと第2メモリトランジスタの間にチャネル形成領域を共有するように形成されたセレクトトランジスタを含み、かつ、上記第1メモリトランジスタおよび第2メモリトランジスタの電荷蓄積手段は、窒化膜を含む絶縁膜に含まれ、

一のメモリセルの第1メモリトランジスタと当該一のメモリセルに隣接するメモリセルの第2メモリトランジスタは、コントロールゲートおよび電荷蓄積手段としての絶縁膜を共有している請求項1記載の半導体記憶装置。

【請求項5】 上記メモリセルのメモリトランジスタのドレインまたはソース、ドレインの両方はビット線に接続され、電荷蓄積層を制御するコントロールゲートはコントロールゲート線に接続され、ビット線とコントロールゲート線とは上記ワード線の配置方向に略直交する方向に、略平行に配置されているアレイ構造を有する請求項1記載の半導体記憶装置。

【請求項6】 上記メモリセルの第1メモリトランジスタのソース、第2メモリトランジスタのドレインはビット線に接続され、電荷蓄積層を制御するコントロールゲートはコントロールゲート線に接続され、ビット線とコントロールゲート線とは上記ワード線の配置方向に略直交する方向に、略平行に配置されているアレイ構造を有する請求項4記載の半導体記憶装置。

【請求項7】 電荷蓄積手段および当該電荷蓄積手段の

電荷蓄積量を調整するためのコントロールゲートを有する少なくとも一つのメモリトランジスタと、当該メモリトランジスタとチャネル形成領域を共有する少なくとも一つのセレクトトランジスタを含む複数のメモリセルが配列され、ワード線方向に配列された複数のメモリセルが縦続接続されたメモリセルアレイと、

上記ワード線方向に縦続接続された各メモリセルの上記セレクトトランジスタのゲートが共通に接続されたワード線と、

を含む分割回路を複数有し、

プログラム時に、ページを複数の分割回路にわたるように構成し、各分割回路の上記メモリトランジスタのコントロールゲートを駆動して上記メモリセルアレイをワード線方向で複数メモリセルおきに電氣的に分割し、複数の分割回路にわたり所定ビット単位でメモリトランジスタのコントロールゲートに対し並列的にプログラムパルス印加を行い、連続して同じビット単位のペリファイを行う制御手段とを有する半導体記憶装置。

【請求項8】 上記メモリセルの電荷蓄積手段は、窒化膜を含む絶縁膜に含まれる請求項7記載の半導体記憶装置。

【請求項9】 上記メモリセルの電荷蓄積手段は、導電物質を含む絶縁膜に含まれる請求項7記載の半導体記憶装置。

【請求項10】 上記メモリセルは、第1メモリトランジスタと、第2メモリトランジスタと、当該第1メモリトランジスタと第2メモリトランジスタの間にチャネル形成領域を共有するように形成されたセレクトトランジスタを含み、かつ、上記第1メモリトランジスタおよび第2メモリトランジスタの電荷蓄積手段は、窒化膜を含む絶縁膜に含まれ、

一のメモリセルの第1メモリトランジスタと当該一のメモリセルに隣接するメモリセルの第2メモリトランジスタは、コントロールゲートおよび電荷蓄積手段としての絶縁膜を共有している請求項7記載の半導体記憶装置。

【請求項11】 上記メモリセルのメモリトランジスタのドレインまたはソース、ドレインの両方はビット線に接続され、電荷蓄積層を制御するコントロールゲートはコントロールゲート線に接続され、ビット線とコントロールゲート線とは上記ワード線の配置方向に略直交する方向に、略平行に配置されているアレイ構造を有する請求項7記載の半導体記憶装置。

【請求項12】 上記メモリセルの第1メモリトランジスタのソース、第2メモリトランジスタのドレインはビット線に接続され、電荷蓄積層を制御するコントロールゲートはコントロールゲート線に接続され、ビット線とコントロールゲート線とは上記ワード線の配置方向に略直交する方向に、略平行に配置されているアレイ構造を有する請求項10記載の半導体記憶装置。

【請求項13】 電荷蓄積手段および当該電荷蓄積手段

の電荷蓄積量を調整するためのコントロールゲートを有する第1メモリトランジスタおよび第2メモリトランジスタと、当該第1メモリトランジスタと第2メモリトランジスタの間にチャネル形成領域を共有するように形成されたセレクトトランジスタを含み、かつ、上記第1メモリトランジスタおよび第2メモリトランジスタの電荷蓄積手段は、窒化膜を含む絶縁膜に含まれる複数のメモリセルが配列され、ワード線方向に配列された複数のメモリセルが縦続接続されたメモリセルアレイと、上記ワード線方向に縦続接続された各メモリセルの上記セレクトトランジスタのゲートが共通に接続されたワード線と、

プログラム時に、上記メモリトランジスタのコントロールゲートを駆動して上記メモリセルアレイをワード線方向で複数メモリセルおきに電氣的に分割し、所定ビット単位でメモリトランジスタのコントロールゲートに対し並列的にプログラムパルス印加を行って1ページ分のプログラムを行い、連続して1ページ分のペリフアイを行う制御手段とを有する半導体記憶装置。

【請求項14】 上記メモリセルの第1メモリトランジスタのソース、第2メモリトランジスタのドレインはビット線に接続され、電荷蓄積量を制御するコントロールゲートはコントロールゲート線に接続され、ビット線とコントロールゲート線とは上記ワード線の配置方向に略直交する方向に、略平行に配置されているアレイ構造を有する請求項13記載の半導体記憶装置。

【請求項15】 電荷蓄積手段および当該電荷蓄積手段の電荷蓄積量を調整するためのコントロールゲートを有する少なくとも一つのメモリトランジスタと、当該メモリトランジスタとチャネル形成領域を共有する少なくとも一つのセレクトトランジスタを含む複数のメモリセルが配列され、ワード線方向に配列された複数のメモリセルが縦続接続されたメモリセルアレイを有する半導体記憶装置の駆動方法であって、プログラム時に、上記メモリトランジスタのコントロールゲートを駆動して上記メモリセルアレイをワード線方向で複数メモリセルおきに電氣的に分割し、所定ビット単位でメモリトランジスタのコントロールゲートに対し並列的にプログラムパルス印加を行い、連続して同じビット単位のペリフアイを行う半導体記憶装置の駆動方法。

【請求項16】 電荷蓄積手段および当該電荷蓄積手段の電荷蓄積量を調整するためのコントロールゲートを有する少なくとも一つのメモリトランジスタと、当該メモリトランジスタとチャネル形成領域を共有する少なくとも一つのセレクトトランジスタを含む複数のメモリセルが配列され、ワード線方向に配列された複数のメモリセルが縦続接続されたメモリセルアレイを有する複数の分割回路を備えた半導体記憶装置の駆動方法であって、プログラム時に、ページを複数の分割回路にわたるよう

に構成し、各分割回路の上記メモリトランジスタのコントロールゲートを駆動して上記メモリセルアレイをワード線方向で複数メモリセルおきに電氣的に分割し、複数の分割回路にわたり所定ビット単位でメモリトランジスタのコントロールゲートに対し並列的にプログラムパルス印加を行い、連続して同じビット単位のペリフアイを行う半導体記憶装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリトランジスタ、およびメモリトランジスタとチャネル形成領域を共有するセレクトトランジスタを含む複数のメモリセルが配列され、ワード線方向に配列された複数のメモリセルが縦続接続されている半導体記憶装置およびその駆動方法に関するものである。

【0002】

【従来の技術】たとえば、いわゆるバーチャルグランド(Virtual Ground:VG)型メモリセルアレイ構造では、p型半導体基板または半導体基板の主面に形成されたpウエルなどの表面部に、素子分離絶縁層を形成せずに、単に、ビット線方向に長いn⁺不純物領域(ソース・ドレイン不純物領域)がワード線方向に所定間隔をおいて並行ストライプ状に繰り返し形成されている。ソース・ドレイン不純物領域間のpウエル表面部に、膜内または膜間に電荷蓄積手段を含む複数の絶縁膜を介してゲート電極が積層されている。このため、pウエル表面部は、メモリトランジスタのチャネル形成領域として機能する。

【0003】FG(フローティングゲート)型の場合、最下層のゲート絶縁膜上に電荷蓄積手段として導電膜からなるフローティングゲートが形成され、その上にONO(Oxide-Nitride-Oxide)膜などのゲート間絶縁膜を介してコントロールゲートが形成されている。コントロールゲートは、通常、ワード線方向のメモリトランジスタ間で共通に設けられたワード線を兼用する。

【0004】一方、MONOS(Metal-Oxide-Nitride-Oxide-Semiconductor)型の場合、チャネル形成領域上に直接、ONO膜を介在させてゲート電極が形成されている。この場合、ONO膜内の窒化膜と酸化膜との界面付近および窒化膜中に分散するキャリアトラップが電荷蓄積手段として機能する。このようなチャネルに対向した面内および膜厚方向に離散化された電荷蓄積手段を用いる他のデバイスとしては、MNOS型、ナノ結晶型などが存在する。なお、ゲート電極をワード線と兼用させる場合と、孤立パターンにて形成したゲート電極をワード線として上層のメタル配線で接続する場合がある。

【0005】上記した何れのタイプにおいても、上記ソース・ドレイン不純物領域がビット線、または上層の主ビット線に連なる副ビット線として機能する。また、ワード線が、通常、ソース・ドレイン不純物領域と直行し

て並行ストライプ状に配線されている。このように構成されたVG型メモリセルアレイでは、素子分離絶縁層が不要でソース・ドレイン不純物領域がワード線方向の2セルで共通となっているため、メモリセル面積が小さいという利点がある。

【0006】

【発明が解決しようとする課題】VG型メモリセルアレイでは、あるワード線に接続された一つのメモリトランジスタを書き込みまたは読み出す際に、当該動作対象のメモリトランジスタのチャネル形成領域に隣接する2本のソース・ドレイン不純物領域間に、所定の読み出しドレイン電圧または書き込みドレイン電圧を印加する。

【0007】ところが、これらソース・ドレイン不純物領域は、ワード線方向に隣接する2つの非選択メモリトランジスタとそれぞれ共有されているため、その印加電圧が当該非選択メモリトランジスタの外側に位置する他の2つのソース・ドレイン不純物領域の電圧を規制する。すなわち、選択メモリトランジスタとワード線を共有して隣接した2つの非選択メモリトランジスタを動作させないためには、両外側に位置する2つのソース・ドレイン不純物領域それぞれに、隣り合うソース・ドレインと同程度の電圧を印加する必要が生じる。このことは更に外側の、また更に外側のソース・ドレイン不純物領域にも当てはまる。このようにして、一つのメモリトランジスタのソース・ドレイン不純物領域の電圧を規定すると、その影響が同じワード線に連なる他のソース・ドレイン不純物領域に外側に向かって徐々に波及し、最後はメモリセルアレイ端のメモリトランジスタにまで至る。

【0008】以上の電圧設定上の不利益により、従来のメモリセルアレイでは、1本のワード線に連なる複数のメモリトランジスタの1つを任意に選択するランダムアクセスは可能であるが、複数のメモリトランジスタを同時にアクセスするシリアルアクセスはできない。また、たとえアクセスができたとしても、これはたまたま電圧設定上の制約に適合した場合のみで、このような条件付きのアクセスは実用に耐えない。したがって、従来のメモリセルアレイでは、1本のワード線に接続された複数のメモリトランジスタを任意に、かつ独立に動作させることができない。その結果、従来のメモリセルアレイを用いた不揮発性メモリ装置では、ワード線一括、あるいはそれに近い高速動作ができず、ビットコストが小さいため大容量用途に適合できても、高速動作が要求される用途に使えないという不利益がある。

【0009】本発明の目的は、複数のメモリトランジスタを並列に書き込むまたは読み出すことができ、ベリファイを含むプログラムの高速化を実現できるバーチャルグラウンド型のメモリセルアレイを有する半導体記憶装置およびその駆動方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置は、電荷蓄積手段および当該電荷蓄積手段の電荷蓄積量を調整するためのコントロールゲートを有する少なくとも一つのメモリトランジスタと、当該メモリトランジスタとチャネル形成領域を共有する少なくとも一つのセレクトトランジスタを含む複数のメモリセルが配列され、ワード線方向に配列された複数のメモリセルが縦続接続されたメモリセルアレイと、上記ワード線方向に縦続接続された各メモリセルの上記セレクトトランジスタのゲートが共通に接続されたワード線と、プログラム時に、上記メモリトランジスタのコントロールゲートを駆動して上記メモリセルアレイをワード線方向で複数メモリセルおきに電気的に分割し、所定ビット単位でメモリトランジスタのコントロールゲートに対し並列的にプログラムパルス印加を行い、連続して同じビット単位のベリファイを行う制御手段とを有する。

【0011】また、本発明の半導体装置は、電荷蓄積手段および当該電荷蓄積手段の電荷蓄積量を調整するためのコントロールゲートを有する少なくとも一つのメモリトランジスタと、当該メモリトランジスタとチャネル形成領域を共有する少なくとも一つのセレクトトランジスタを含む複数のメモリセルが配列され、ワード線方向に配列された複数のメモリセルが縦続接続されたメモリセルアレイと、上記ワード線方向に縦続接続された各メモリセルの上記セレクトトランジスタのゲートが共通に接続されたワード線と、を含む分割回路を複数有し、プログラム時に、ページを複数の分割回路にわたるように構成し、各分割回路の上記メモリトランジスタのコントロールゲートを駆動して上記メモリセルアレイをワード線方向で複数メモリセルおきに電気的に分割し、複数の分割回路にわたり所定ビット単位でメモリトランジスタのコントロールゲートに対し並列的にプログラムパルス印加を行い、連続して同じビット単位のベリファイを行う制御手段とを有する。

【0012】本発明では、上記メモリセルの電荷蓄積手段は、窒化膜を含む絶縁膜または導電物質を含む絶縁膜に含まれる。

【0013】また、本発明では、上記メモリセルは、第1メモリトランジスタと、第2メモリトランジスタと、当該第1メモリトランジスタと第2メモリトランジスタの間にチャネル形成領域を共有するように形成されたセレクトトランジスタを含み、かつ、上記第1メモリトランジスタおよび第2メモリトランジスタの電荷蓄積手段は、窒化膜を含む絶縁膜に含まれ、一のメモリセルの第1メモリトランジスタと当該一のメモリセルに隣接するメモリセルの第2メモリトランジスタは、コントロールゲートおよび電荷蓄積手段としての絶縁膜を共有している。

【0014】また、本発明では、上記メモリセルのメモ

リトランジスタのドレインまたはソース、ドレインの両方はビット線に接続され、電荷蓄積層を制御するコントロールゲートはコントロールゲート線に接続され、ビット線とコントロールゲート線とは上記ワード線の配置方向に略直交する方向に、略平行に配置されているアレ構造を有する。

【0015】また、本発明では、上記メモセルの第1メモリトランジスタのソース、第2メモリトランジスタのドレインはビット線に接続され、電荷蓄積層を制御するコントロールゲートはコントロールゲート線に接続され、ビット線とコントロールゲート線とは上記ワード線の配置方向に略直交する方向に、略平行に配置されているアレ構造を有する。

【0016】また、本発明の半導体装置は、電荷蓄積手段および当該電荷蓄積手段の電荷蓄積量を調整するためのコントロールゲートを有する第1メモリトランジスタおよび第2メモリトランジスタと、当該第1メモリトランジスタと第2メモリトランジスタの間にチャネル形成領域を共有するように形成されたセレクトトランジスタを含み、かつ、上記第1メモリトランジスタおよび第2メモリトランジスタの電荷蓄積手段は、窒化膜を含む絶縁膜に含まれる複数のメモセルが配列され、ワード線方向に配列された複数のメモセルが縦続接続されたメモセルアレイと、上記ワード線方向に縦続接続された各メモセルの上記セレクトトランジスタのゲートが共通に接続されたワード線と、プログラム時に、上記メモリトランジスタのコントロールゲートを駆動して上記メモセルアレイをワード線方向で複数メモセルおきに電氣的に分割し、所定ビット単位でメモリトランジスタのコントロールゲートに対し並列的にプログラムパルス印加を行って1ページ分のプログラムを行い、連続して1ページ分のベリファイを行う制御手段とを有する。

【0017】また、本発明は、電荷蓄積手段および当該電荷蓄積手段の電荷蓄積量を調整するためのコントロールゲートを有する少なくとも一つのメモリトランジスタと、当該メモリトランジスタとチャネル形成領域を共有する少なくとも一つのセレクトトランジスタを含む複数のメモセルが配列され、ワード線方向に配列された複数のメモセルが縦続接続されたメモセルアレイを有する半導体装置の駆動方法であって、プログラム時に、上記メモリトランジスタのコントロールゲートを駆動して上記メモセルアレイをワード線方向で複数メモセルおきに電氣的に分割し、所定ビット単位でメモリトランジスタのコントロールゲートに対し並列的にプログラムパルス印加を行い、連続して同じビット単位のベリファイを行う。

【0018】また、本発明は、電荷蓄積手段および当該電荷蓄積手段の電荷蓄積量を調整するためのコントロールゲートを有する少なくとも一つのメモリトランジスタと、当該メモリトランジスタとチャネル形成領域を共有

する少なくとも一つのセレクトトランジスタを含む複数のメモセルが配列され、ワード線方向に配列された複数のメモセルが縦続接続されたメモセルアレイを有する複数の分割回路を備えた半導体装置の駆動方法であって、プログラム時に、ページを複数の分割回路にわたるように構成し、各分割回路の上記メモリトランジスタのコントロールゲートを駆動して上記メモセルアレイをワード線方向で複数メモセルおきに電氣的に分割し、複数の分割回路にわたり所定ビット単位でメモリトランジスタのコントロールゲートに対し並列的にプログラムパルス印加を行い、連続して同じビット単位のベリファイを行う。

【0019】本発明によれば、ワード線上の数ビットおきにあるビット単位に対し同時プログラムパルス印加が行われ、連続して同じビット単位のベリファイが行われる。

【0020】また、本発明によれば、ページを複数分割回路、たとえば複数のチップやマットにわたるように構成され、複数チップやマットにわたりワード線上の数ビットおきにあるビット単位に対し同時プログラムパルス印加が行われ、連続して同じビット単位のベリファイが行われる。

【0021】

【発明の実施の形態】図1は、本発明の実施形態に係る不揮発性メモリ装置の要部構成を示すブロック図である。

【0022】この不揮発性メモリ装置は、メモセルアレイ1、ロウデコーダ2、カラムデコーダ3、入出力回路4、および制御回路5を有する。なお、この図には、読み出し、書き込みまたは消去の許可信号を受けて動作モードを切り換えたり、クロックを基に動作タイミングを制御する回路、電源回路およびアドレスバッファ等は省略している。また、図中の入出力回路4は、カラム選択回路CS、センスアンプSA、書き込み回路WR、入出力バッファI/OBUF等、書き込みまたは読み出しに必要なビット線側の回路全てを含む。

【0023】ロウデコーダ2は、アドレス信号ADRを受けて、それに応じてメモセルアレイ1内に配列された複数のワード線WLの何れかまたは全部を選択し、選択したワード線WLを、読み出し、書き込みまたは消去に応じた電圧に変化させて活性化する。

【0024】カラムデコーダ3は、アドレス信号ADRを受けて、それに応じて入出力回路4内のカラム選択回路CSを制御し、メモセルアレイ1内に配列された複数のビット線BLを、たとえば所定本数おきに選択する。

【0025】カラム選択回路CSは、読み出し時に、選択されたビット線の全てをセンスアンプSAに接続し、書き込み時に、選択されたビット線の全てを書き込み回路WRに接続する。

【0026】読み出し時には、メモリセル内の記憶データが、選択されたビット線BLからカラム選択回路CSを経てセンスアンプSAにより検出され、検出結果は、入出力バッファI/OBUFの所定アドレスに一旦蓄積される。これは、後述するように、本実施形態で一括して読み出されるデータが所定ビットおきに離散的であるからである。複数回の読み出しを経て1行の記憶データが全て揃ったら、たとえば所定のワード単位で、読み出しデータD_{out}として外部のデータバス等に出力される。あるいは、離散的に読み出されたデータは、バッファリングしないで、そのまま1行の記憶データとして扱い、外部のデータバス等へ出力してもよい。

【0027】また、書き込み時には、外部からの入力データD_{in}を入出力バッファI/OBUFに一旦蓄積しておいて、カラム選択回路CSにより離散的に選択された複数のビット線BLを単位として、複数回の書き込み動作により、1行のデータをビット線電圧からメモリトランジスタのしきい値電圧に変換しながら、メモリセル内に書き込む。あるいは、外部からの入力データD_{in}が離散的に書き込む1行の記憶データとして送られてくる場合、入力データをバッファリングしないで、順次、メモリセルアレイ内に書き込んでよい。

【0028】本実施形態に係るメモリセルアレイ1は、詳細は後述するが、ビット線方向の共通線として、コントロールゲート線CLがビット線BLと対で設けられている。コントロールゲート線CLは、ビット線BL1本に対し1本である場合と、ビット線BL1本に対し2本存在する場合がある。これらコントロールゲート線CLは、制御回路5に接続されている。

【0029】制御回路5は、カラムデコーダ3でデコードされた制御信号を受けて、予め決められた規則にしたがって、1ワード線に接続されたメモリセル行を電氣的に分割し、また分割箇所を変更する。具体的に、分割箇所とすべきコントロールゲート線CLの電圧を初期電圧から遮断電圧に切り替え、分割箇所を解除するときは、逆に遮断電圧から初期電圧に切り替える。

【0030】以下、メモリセルアレイ1の構造例について図2～図7に関連付けて説明し、その後、本実施形態に係るプログラム動作について詳述する。

【0031】本実施形態に係る1メモリセルは、電荷蓄積層CAMを有する2つのメモリトランジスタMT1、MT2の間に、セレクトトランジスタSTを配置した構成を有している。構造的には、1メモリセルのソースドレイン間の中央部にセレクトゲート（図ではワード線WL）を配置し、その両側にコントロールゲートCGへの印加電圧に応じて電荷蓄積量が制御される電荷蓄積層CAMを配置している。そして、本実施形態に係るメモリセルアレイ1は、各メモリセルMC_i_jのセレクトトランジスタSTのセレクトゲートはワード線WLに接続され、ソース、ドレインの両方はビット線BLに接続さ

れ、電荷蓄積層を制御するコントロールゲート線CLはビット線BLと平行に配置されるアレイ構造を有する。

【0032】また、本実施形態においては、1つの電荷蓄積層CAMの記憶データを1ビットと仮定する。本実施形態に係るメモリセルでは、セレクトゲート1つが2つのビットに相対しているため、ビット当たりのメモリセルサイズが小さい。なお、コントロールゲートCGとワード線WLはポリシリコン等により形成され、ビット線BLはn⁺拡散層により形成される。

【0033】そして、本実施形態に係るメモリセルアレイ1は、コントロールゲートをワード線方向に隣接するメモリセルのそれと分離するか共有するかで2種類のアレイ構造、具体的には、コントロールゲート分離型とコントロールゲート共有型の2つのアレイ構造をとりえる。

【0034】図2～図4にコントロールゲート分離型メモリセルアレイを示す。図2はコントロールゲート分離型メモリセルアレイを示す等価回路図、図3はコントロールゲート分離型メモリセルアレイのワード線方向の概略的な断面図、および図4はコントロールゲート分離型メモリセルアレイの一部（図2の第1列）の平面図である。

【0035】コントロールゲート分離型メモリセルアレイ1Aは、図2に示すように、たとえば、i×j個のメモリセルMC11、MC12、…、MC21、MC22、…、MCijがマトリックス状に配列されている。なお、図2においては、図面の簡単化のため、2行4列（2×4）の8個のメモリセルMC11、MC12、MC13、MC14、MC21、MC22、MC23、MC24のみを示している。

【0036】図2に示すように、各メモリセルMC11～MC24は、上述したように、電荷蓄積層CAMを有する第1メモリトランジスタMT1、第2メモリトランジスタMT2の間に、セレクトトランジスタSTをチャネル形成領域を共有するように配置した構成を有している。そして、1行目の配列されたメモリセルMC11～MC14のセレクトトランジスタSTのゲートがワード線WL1に共通に接続され、2行目の配列されたメモリセルMC21～MC24のセレクトトランジスタのゲートがワード線WL2に共通に接続されている。実際には、セレクトトランジスタSTのゲートは、図3に示すように、ワード線WLにより構成される。

【0037】また、第1列に配置されたメモリセルMC11とMC21の各第1メモリトランジスタMT1のコントロールゲートが共通のコントロールゲート線CLL1に接続され、各第2メモリトランジスタMT2のコントロールゲートが共通のコントロールゲート線CLR1に接続されている。同様に、第2列に配置されたメモリセルMC12とMC22の各第1メモリトランジスタMT1のコントロールゲートが共通のコントロールゲート

線CLL2に接続され、各第2メモリトランジスタMT2のコントロールゲートが共通のコントロールゲート線CLR2に接続されている。第3列に配置されたメモリセルMC13とMC23の各第1メモリトランジスタMT1のコントロールゲートが共通のコントロールゲート線CLL3に接続され、各第2メモリトランジスタMT2のコントロールゲートが共通のコントロールゲート線CLR3に接続されている。第4列に配置されたメモリセルMC14とMC24の各第1メモリトランジスタMT1のコントロールゲートが共通のコントロールゲート線CLL4に接続され、各第2メモリトランジスタMT2のコントロールゲートが共通のコントロールゲート線CLR4に接続されている。

【0038】さらに、図3に示すように、各メモリセルのソースが、ワード線方向の一方側に隣り合う他のメモリセルのドレインに接続され、各メモリセルのドレインがワード線方向の他方側に隣り合う他のメモリトランジスタのソースに接続されている。この共通化されたソースとドレインは、ビット線方向で他のソースとドレインの接続箇所を結ぶライン状のソース・ドレイン不純物領域により構成されている。このようにして形成された各ソース・ドレイン不純物領域は、図4に示すように、メモリセルアレイ全体では平行ストライプ状のパターンとなる。本実施形態では、これらのソース・ドレイン不純物領域を、そのままビット線BL1、BL2、BL3、…として用いている。ただし、各ソース・ドレイン不純物領域の上層に金属配線層からなるビット線BL1、BL2、BL3、…を設けてもよい。この場合、各ビット線BL1、BL2、BL3、…は、対応する下層のソース・ドレイン不純物領域と適宜コンタクトを取りながらビット線方向に配線される。

【0039】図5～図7にコントロールゲート共有型メモリセルアレイを示す。図5はコントロールゲート共有型メモリセルアレイを示す等価回路図、図6はコントロールゲート共有型メモリセルアレイのワード線方向の概略的な断面図、および図7はコントロールゲート共有型メモリセルアレイの一部(図5の1列)の平面図である。

【0040】図5に示すコントロールゲート共有型メモリセルアレイ1Bは、図2のコントロールゲート分離型メモリセルアレイ1Aと同様に、たとえば、 $i \times j$ 個のメモリトランジスタMC11、MC12、…、MC21、MC22、…、 M_{ij} がマトリクス状に配列されている。そして、なお、図5においては、図面の簡単化のため、2行4列(2×4)の8個のメモリセルMC11、MC12、MC13、MC14、MC21、MC22、MC23、MC24のみを示している。

【0041】このコントロールゲート共有型メモリセルアレイ1Bが、コントロールゲート分離型メモリセルアレイ1Aと異なる点は、各メモリセルの第1および第2

メモリトランジスタMT1、MT2は、隣接するメモリセルのメモリトランジスタMT2、MT1とコントロールゲートCGを共有しており、同列に接続されたメモリセルの第1および第2メモリトランジスタMT1、MT2は共通のコントロールゲート線CLに接続されていることにある。

【0042】具体的には、第1列に配置されたメモリセルMC11とMC21の各第1メモリトランジスタMT1のコントロールゲートが、図面で左隣の図示しないメモリセルMC10、MC20の第2メモリトランジスタMT2のコントロールゲートと共通のコントロールゲート線CL0に接続され、メモリセルMC11とMC21の各第2メモリトランジスタMT2のコントロールゲートが、図面で右隣のメモリセルMC12、MC22の第1メモリトランジスタMT1のコントロールゲートと共通のコントロールゲート線CL1に接続されている。同様に、メモリセルMC12とMC22の各第2メモリトランジスタMT2のコントロールゲートが、図面で右隣のメモリセルMC13、MC23の第1メモリトランジスタMT1のコントロールゲートと共通のコントロールゲート線CL2に接続されている。メモリセルMC13とMC23の各第2メモリトランジスタMT2のコントロールゲートが、図面で右隣のメモリセルMC14、MC24の第1メモリトランジスタMT1のコントロールゲートと共通のコントロールゲート線CL3に接続されている。メモリセルMC14とMC24の各第2メモリトランジスタMT2のコントロールゲートが、図面で右隣の図示しないメモリセルMC15、MC25の第1メモリトランジスタMT1のコントロールゲートと共通のコントロールゲート線CL4に接続されている。

【0043】その他の構造は、上述したコントロールゲート分離型メモリセルと略同様であることから、ここではその詳細な説明は省略する。

【0044】電荷蓄積層CAMに関しては、コントロールゲート分離型の場合はフローティングゲート(FG)または窒化膜を含む絶縁膜であり、コントロールゲート共有型の場合は離散トラップが可能な窒化膜を含む絶縁膜である。たとえば各メモリトランジスタMT1、MT2において、コントロールゲート直下の絶縁膜部分に、MONOS型の場合、酸化膜と窒化膜との界面を含む複数の絶縁膜の積層構造が形成されている。また、FG型あるいはナノ結晶型の場合、少なくともコントロールゲート直下の部分に複数の絶縁膜が形成され、その膜間に単一膜状の、あるいは無数の微細径粒に分散された導電物質が埋め込まれている。当該導電物質、あるいは、上記酸化膜と窒化膜との界面および窒化膜中のキャリアトラップは、メモリトランジスタの電荷蓄積手段として機能する。

【0045】メモリトランジスタは、この電荷蓄積手段の電荷蓄積量に応じてしきい値電圧 V_{th} が変化する。チ

チャネルホットエレクトロン注入を用いて書き込みを行う場合、この電荷蓄積量は、たとえば、書き込み時にオンとなったチャネルに加わる横方向電界によって変化し、横方向電界はビット線電圧に応じて決まる。すなわち、ビット線の電圧設定の有無としてメモリセルに伝達された書き込みデータは、書き込み時にしきい値電圧 V_{th} の差に変換されて、メモリセル内に記憶される。読み出しの際は、両ビット線間に所定の読み出しドレイン電圧を印加した状態で、記憶データの論理に応じてメモリトランジスタがオンまたはオフする電圧を、ワード線を介してトランジスタゲートに印加する。これにより、メモリトランジスタがオンする場合のみ、チャネルを介して両ビット線間に電流が流れ、ビット線電圧が変化する。このビット線電圧変化の有無をセンスアンプSA等で検出して読み出す。すなわち、読み出しの場合は、書き込みの場合と逆に、記憶データが、メモリトランジスタのしきい値電圧 V_{th} の差からビット線電圧差に変換されることで、外部に伝達可能となる。

【0046】なお、電荷蓄積層CAMとしては、MONOS（あるいはMNOS）型のものを用いることは望ましい。その理由は以下の通りである。

【0047】MONOS型不揮発性半導体メモリトランジスタでは、電荷保持を主体的に担っている窒化膜（ SixNy （ $0 < x < 1$ 、 $0 < y < 1$ ））膜中またはトップ酸化膜と窒化膜との界面のキャリアトラップが空間的に（すなわち、面方向および膜厚方向に）離散化して広がっているために、電荷保持特性が、トンネル絶縁膜厚のほかに、 SixNy 膜中のキャリアトラップに捕獲される電荷のエネルギー的および空間的な分布に依存する。

【0048】このトンネル絶縁膜に局所的にリーク電流パスが発生した場合、FG型では多くの電荷がリークパスを通してリークして電荷保持特性が低下しやすいのに対し、MONOS型では、電荷蓄積手段が空間的に離散化されているため、リークパス周辺の局所的な電荷がリークパスを通して局所的にリークするに過ぎず、記憶素子全体の電荷保持特性が低下しにくい。このため、MONOS型においては、トンネル絶縁膜の薄膜化による電荷保持特性の低下の問題はFG型ほど深刻ではない。したがって、ゲート長が極めて短い微細メモリトランジスタにおけるトンネル絶縁膜のスケーリング性は、MONOS型の方がFG型よりも優れている。また、平面的に離散化したキャリアトラップの分布平面に対し電荷が局所的に注入された場合、その電荷はFG型のように平面内および膜厚方向に拡散することなく保持される。

【0049】そして、書き込み速度を考えると高速化も可能であり、たとえば、チャネルホットエレクトロン（CHE）をソース側から注入するソースサイド注入型MONOS（NMOS）トランジスタを適用できる。

【0050】このいわゆるソースサイド・チャネルホッ

トエレクトロン注入は、たとえば図8に示すように、メモリトランジスタのソース側であるコントロールゲートCGおよび電荷蓄積層CAMのサイドにセレクトゲートSGを配置する。そして、セレクトゲートSGに低い電圧、コントロールゲートCGに高い電圧を与えることでセレクトゲートSGと電荷蓄積層CAMの境界領域に高電界を形成し、図中矢印の方向でチャネルホットエレクトロンを電荷蓄積層CAMに注入するというものである。その注入効率は通常のドレイン側に注入するチャネルホットエレクトロン注入方式より高く、よって書き込み時間の低減が可能である。

【0051】なお、このソースサイド・チャネルホットエレクトロン注入は、電荷蓄積層をフローティングゲートFGであっても窒化膜を含むMONOS（MNOS）型メモリトランジスタであっても同様に適用可能である。

【0052】また、MONOS（MNOS）型メモリトランジスタは、CHE注入方式によって電荷を離散的なトラップの一部に注入できることに着目して、電荷蓄積層のソース側とドレイン側に独立に2値情報を書き込むことが可能である。これにより、1メモリセルあたり2ビットを記録可能である。この場合、たとえばソースとドレイン間の電圧印加方向を入れ換えて2ビット情報をCHE注入により書き込み、読み出し時には、書き込み時と逆方向に所定電圧をソースとドレイン間に印加する、いわゆる“リバースリード”方法によって書き込み時間が短く蓄積電荷量が少ない場合でも2ビット情報を確実に読み出すことが可能である。したがって、前述したコントロール共有型の場合には、MONOS（MNOS）型メモリトランジスタが好適である。

【0053】図9は、MONOS型メモリトランジスタの具体的な構造例を示す断面図である。

【0054】図9に示すように、このメモリトランジスタは、半導体基板Wのチャネル形成領域中央部に形成されワード線WLに接続されたセレクトトランジスタSTのゲート電極GTと、ゲート電極GTと絶縁分離され、チャネル方向両側に設けられた第1メモリトランジスタ用コントロールゲートCGLと、第2メモリトランジスタ用コントロールゲートCGRを有する。そして、このメモリトランジスタは、コントロールゲートCGL、CGRとビット線BLまたはチャネル形成領域端部との間に、ゲート絶縁膜10a、10bがそれぞれ形成されている。ゲート絶縁膜10aは、たとえばボトム絶縁膜11a、窒化膜12a、トップ絶縁膜13aを含んでいる。同様に、ゲート絶縁膜10bは、たとえばボトム絶縁膜11b、窒化膜12b、トップ絶縁膜13bを含んでいる。ゲート電極GTは、ソース側とドレイン側で空間的に分離された2つのコントロールゲートCGL、CGRとゲート絶縁膜10a、10bの積層パターンの間に、絶縁膜14を介して埋め込まれている。ま

た、ゲート電極GTは、図示しないワード線WLをなす上層配線層に接続され、ワード線方向のメモリセル間で共通に接続されている。

【0055】このように、このメモリトランジスタでは、チャネル形成領域中央部に、ワード線に接続されたセレクトMOSTランジスタが形成されている。また、斜めイオン注入で形成したポケット領域PCTおよび拡散層（ビット線BL）の上部では、電荷蓄積手段を含むONO膜タイプのゲート絶縁膜10a、10bを介してコントロールゲートCGL、CGRが配置されている。この選択ゲートGTとコントロールゲートCGL、CGRとの組合せは、基本的にはスプリットゲート構造のソースサイド注入タイプのメモリセルと同一である。

【0056】なお、メモリトランジスタでは、そのゲート絶縁膜の最下層のボトム絶縁膜として、FNトンネリング特性を示す窒化シリコン膜、酸化窒化シリコン膜、あるいは多層膜、および酸化タンタル膜等の他の誘電膜のいずれを用いてもよい。これにより、ソースサイド注入における、伝導帯側のエネルギー障壁が酸化膜の場合の3.2eVより低減され、ホットエレクトロンの注入効率が改善される。

【0057】また、セレクトMOSTランジスタは、書き込み時にソースサイド注入を効率よく行うために用いられる。また、消去時には電荷蓄積手段が過剰消去された場合でも、メモリトランジスタの消去状態でのしきい値電圧 V_{th} を一定に保持する役割を果たす。このため、この選択ゲートMOSTランジスタのしきい値電圧は、たとえば0.5Vと1Vとの間に設定される。

【0058】次に、上述したような構造を有するメモリセルアレイ1に対するプログラム方法について、図面に関連付けて説明する。

【0059】図10は、コントロールゲート分離型メモリセルアレイに対するプログラム条件を示す図であり、

図11は、コントロールゲート共有型メモリセルアレイに対するプログラム条件を示す図である。なお、ここではメモリセルMC11の右側の第2メモリトランジスタに対してプログラムを行う場合を例に説明する。

【0060】まず、図10に関連付けてコントロールゲート分離型メモリセルアレイに対するプログラム動作について説明する。

【0061】コントロールゲート分離型に関しその電荷蓄積層を、たとえばフローティングゲートFGとした場合、ソース側のビット線BL0に0V、ドレイン側のビット線BL1に5Vまたは0V、セレクトトランジスタのゲートに接続されたワード線WL1に低い電圧の1.5V、選択ビット部である第2メモリトランジスタMT2のコントロールゲートが接続されたコントロールゲート線CLR1に高い電圧の12Vを加える。メモリセルMC11内の選択されない左側ビット部（第1メモリトランジスタMT1）に対しては、その部分の記憶データ

の種類にかかわらず所望のチャネル電流が流れるような伝達の役割を持たすため、第1メモリトランジスタMT1のコントロールゲートに接続されたコントロールゲート線CLL1に適切な電圧 V_{cg1} を加える。これらのバイアス条件により、選択ビットであるメモリセルMC11の第2メモリトランジスタMT2にプログラムが行われる。

【0062】選択メモリセルMC11に隣接するメモリセルMC12は、選択メモリセルMC11のドレイン側のビット線BL1への印加電圧による誤書き込みを避けるため、第1メモリトランジスタMT1のコントロールゲートが接続されたコントロールゲート線CLL2、および第2メモリトランジスタMT2のコントロールゲートが接続されたコントロールゲート線CLR2の電圧を0Vとし、チャネル電流を阻止する。

【0063】以上のコントロールゲート線CLL、CLRに印加する電圧は、制御回路5により選択的に供給される。

【0064】ここでコントロールゲートに制御されるトランジスタのしきい値電圧は、記憶データの種類にかかわらず全て正とする。なお、選択メモリセルMC11のワード線方向に一つおいたメモリセルMCセル13内のビットに対しては、同様なプログラムが可能である。また、非選択ワード線WL2に対しては0Vを加え、チャネル電流を阻止している。結局、このコントロールゲート分離型メモリセルアレイ1Aでは、選択ワード線に関し、4ビット毎のプログラムが可能となる。

【0065】次に、図11に関連付けてコントロールゲート共有型メモリセルアレイに対するプログラム動作について説明する。

【0066】コントロールゲート共有型に関しその電荷蓄積層を窒化膜を含むMONOS型とした場合、ソース側に接続されたビット線BL0に0V、ドレイン側に接続されたビット線BL1に5Vまたは0V、セレクトトランジスタSGのゲートに接続されたワード線WL1に低い電圧の0.8V、選択ビット部である第2メモリトランジスタMT2のコントロールゲートに接続されたコントロールゲート線CL1に高い電圧の6Vを加える。メモリセルMC11内の選択されない左側ビット部（第1メモリトランジスタMT1）に対してはその部分の記憶データの種類にかかわらず所望のチャネル電流が流れるような伝達の役割を持たすため、第1メモリトランジスタMT1のコントロールゲートに接続されたコントロールゲート線CL0に適切な電圧 V_{cg2} を加える。これらのバイアス条件により、選択ビットであるメモリセルMC11の第2メモリトランジスタMT2にプログラムが行われる。

【0067】選択メモリセルMC11に隣接するメモリセルMC12は、選択メモリセルMC11のドレイン側のビット線BL1への印加電圧による誤書き込みを避け

るため第2メモリトランジスタMT2のコントロールゲートに接続されたコントロールゲート線CL2の電圧を0Vとし、チャネル電流を阻止する。そして、メモリセルMC12の第2メモリトランジスタMT2とコントロールゲート(CL2)を共有する第1メモリトランジスタMT1を含む隣接のメモリセルMC13に関しても非選択となる。そして、選択メモリセルMC11のワード線方向に二つおいたメモリセルMC14内のビットに対しては、同様なプログラムが可能である。また、非選択ワード線WL2に対しては0Vを加え、チャネル電流を阻止している。結局、このコントロールゲート共有型メモリセルアレイ1Bでは、選択ワード線に関し、6ビット毎のプログラムが可能となる。

【0068】第1プログラム方法

次に、ビットへのプログラムパルス印加回数を設定する。ここでワード線単位のビットをページとし、そのページサイズを512バイトと仮定する。上記の例ではワード線方向で4ビット毎または6ビット毎のプログラムが可能であったが、分かりやすくするため以後8ビット毎のプログラムを行うものと仮定する。よって1ワード線に関し同時プログラムを行うビット数は512ビット($=512\text{バイト} \div 8 = 64\text{バイト}$)となる。

【0069】図12は、ワード線上のビットに対するプログラムパルス印加回数例を示す図である。各ビットはトンネル膜厚等のばらつきにより、パルス1回で書き込みしきい値電圧に達しないビットも現れる。全4096ビット($=512\text{バイト}$)内の分布は1回のビットが多く、2回、3回、4回の順に急激に少なくなる。ビット当たりでみると平均1.数回であるが、同時プログラム単位の512ビット当たりでみると平均2回である。ページ当たりでみると4回である。ここで512ビットと1ページに関しては回数が最多のビットのそれになるので、大きなビット単位になるほど、印加回数は多くなる。

【0070】一回のプログラムサイクルは大きく分けて、図13に示すようにプログラムパルス印加とベリファイのステップを合わせたものとなり、その時間を20 μs と設定する。プログラム時間を考える場合、実際にはプログラム情報をビット線の先にあるカラムラッチ回路にロードする時間も考慮する必要があるが、ここではその時間が小さいものとして無視する。

【0071】ここで、1ページのプログラム時間を考察する。具体的にはワード線方向8ビット毎にある512ビットに対し同時のプログラムパルス印加を行い、次にその隣のビットの512ビットに対しプログラムパルス印加を行う。この512ビット同時プログラムステップを8回繰り返すことで1ページ(512バイト)分のプログラムパルス印加となる。1ページ(512バイト)のプログラムパルス印加に引き続き1ページのベリファイを行う。

【0072】なお、ベリファイの場合条件としては、たとえばコントロールゲート分離型の場合、選択メモリセルMC11の選択ビットのメモリトランジスタMT2のコントロールゲートが接続されたコントロールゲート線CLR1に1.5V、選択メモリセルMC11のメモリトランジスタMT1のコントロールゲートが接続されたコントロールゲート線CLL1に8V、ソース側のビット線BL0に1.5V、ドレイン側のビット線BL1に0Vを印加する。

【0073】このベリファイはプログラムと同様ワード線方向において数ビットおきに行う必要があり、ここでは8ビット毎と仮定する。ベリファイも、512ビット同時ベリフェイスステップを8回繰り返すことで1ページ(512バイト)分のベリファイとなる。前述したように、ページ当たり4回のプログラムパルス印加回数をする。つまり1ページ単位のプログラムパルス印加、ベリファイのサイクルを4回行うことでプログラムが終了する。

【0074】図14は、以上のプログラムパルス印加回数とベリファイ回数を抜き出して示す図である。図14に示すように、結局、プログラムパルスとベリファイの組で計32回のプログラムサイクルとなるので、1ページのプログラム時間は640 μs ($=20\mu\text{s} \times 32$ 回)となる。以上の例の場合、プログラム速度は0.8MByte/s($=512\text{Byte} / 640\mu\text{s}$)と換算される。

【0075】以下に、速度がさらに高速、たとえば数MByte/s以上のプログラムを実現する第2および第3のプログラム方法について説明する。

【0076】第2プログラム方法

この場合も、ワード線単位のビットをページとし、そのページサイズを512バイトと仮定し、1ページのプログラム時間を考察する。

【0077】具体的には、たとえばワード線方向8ビット毎にある512ビットに対し同時のプログラムパルス印加を行い、連続して同じ512ビットのベリファイを行う。たとえば、図12に示すように512ビット当たり平均2回のプログラムパルス印加回数をするものとする。つまり512ビット単位に関しては、連続するプログラムパルス印加、ベリファイのサイクルを平均2回行うことでプログラムが終了する。次にその隣のビットの512ビットに関しても連続するプログラムパルス印加、ベリファイのサイクルを平均2回行うことでプログラムが終了する。この512ビットの連続するプログラムパルス印加、ベリファイの平均2サイクルからなるステップを8回繰り返すことで1ページ(512バイト)のプログラムが終了する。

【0078】図15は、以上のプログラムパルス印加回数とベリファイ回数を抜き出して示す図である。図15に示すように、第2のプログラム方法によれば、結局、

計16回のプログラムサイクルとなる。したがって、プログラムサイクル時間を $20\mu s$ とすると1ページのプログラム時間は $320\mu s (=20\mu s \times 16)$ となる。この場合のプログラム速度は $1.6\text{MByte}/s (=512\text{Byte}/320\mu s)$ と換算され、第1のプログラム方法の場合の2倍の速さとなる。その理由はプログラムパルス印加回数の違いからくる。プログラムパルスを印加するビット単位が大きくなるほど印加回数は多くなるという傾向があり、図12の例では512ビット当たりで平均2回、ページ当たりで平均4回であった。本第2の方法では512ビット単位としたため、プログラム印加回数が1ページ単位の $1/2$ となり、よってプログラム速度が1ページ単位の2倍となったわけである。

【0079】このプログラム速度は、数MByte/s以上の値を要求されるデバイス、たとえばメモリカード等に適している。

【0080】第3プログラム方法

本第3のプログラム方法では、ページを複数の分割回路、たとえば複数チップあるいは複数マットにより構成する。たとえば、図16に示すように、512バイトのサイズを有するページを8チップCP1~CP8で構成する。このように構成することにより、1チップ当たり512ビットとなるが、その512ビットは、たとえば図16に示すようにワード線方向8ビット毎のビットで構成する。

【0081】この場合、8チップCP1~CP8共に、ワード線方向8ビット毎にある512ビットに対し同時のプログラムパルス印加を行い連続して同じ512ビットのベリファイを行う。たとえばチップをまたがってもページ当たり4回のプログラムパルス印加回数を要するものとする。つまりページ単位に関しては、連続するプログラムパルス印加、ベリファイのサイクルを平均4回行うことでプログラムが終了する。512ビットが8チップにまたがって1ページとなっているため、隣のビットに移ることなくこれらのステップだけで1ページ(512バイト)のプログラムが終了する。

【0082】この場合の1ページのプログラム時間を考察する。図17は、以上のプログラムパルス印加回数とベリファイ回数を抜き出して示す図である。図17に示すように、第3のプログラム方法によれば、結局、計4回のプログラムサイクルとなるのでプログラムサイクル時間を $20\mu s$ とすると1ページのプログラム時間は $80\mu s (=20\mu s \times 4)$ となる。この場合のプログラム速度は $6.4\text{MByte}/s (=512\text{Byte}/80\mu s)$ と換算され、第1のプログラム方法の8倍の速さとなる。第2のプログラム方法に比べては、4倍の速さとなる。

【0083】本第3のプログラム方法によれば、プログラム時間の大幅な短縮が可能となる利点がある。

【0084】なお、以上の説明では、メモリセルアレイ

1において、たとえばワード線方向8ビット毎にある512ビットに対し同時のプログラムパルス印加を行うが、これは、メモリセルアレイを複数のマットに分割して並列動作を行うことと等価である。

【0085】図18は、本実施形態に係るメモリセルアレイの分割の概念を示す図である。図18において、(A)は物理的メモリセルアレイ1であり、この図では、メモリセル列にシリアル番号1, 2, ..., n, n+1, ..., 2n, 2n+1, ..., jが付されている。そして、たとえばこのプログラム、あるいは読み出しまたは消去の際に、図1の制御回路5がワード線方向のメモリトランジスタを複数に分割し、これにより、メモリセルアレイを3以上の整数n個のメモリセルマットMM1, MM2, ..., MMnに分割する。各メモリセルマットMM1, MM2, ..., MMnは、周期的に離散したメモリセル列を含む。すなわち、メモリセルマットMM1はメモリセル列1, n+1, 2n+1, ...を含み、メモリセルマットMM2はメモリセル列2, n+2, 2n+2, ...を含み、最後のメモリセルマットMMnはメモリセル列n, 2n, ..., jを含む。そして、本実施形態では、いずれか選択されたメモリセルマット内のメモリトランジスタを並列動作させる。

【0086】このように、本発明では、メモリセルマット数nを任意に設定できる。また、分割箇所を連続して遮断電圧を印加する制御ゲート本数は、たとえば(n-2)本とすることで対応できる。

【0087】以上説明したように、本実施形態によれば、ソースサイド・チャネルホットエレクトロン注入を行うMONOS型(MNOS型)不揮発性メモリあるいはフローティングゲート型不揮発性メモリにおいて、ワード線上的数ビットおきにあるビット単位に対し同時プログラムパルス印加を行い、連続して同じビット単位のベリファイを行うようにしたので、複数のメモリトランジスタを並列に書き込むまたは読み出すことができることはもとより、ベリファイを含むプログラム動作の高速化を図ることができる。

【0088】また、本実施形態によれば、ページを複数チップ(あるいはマット)にわたって構成し、複数チップにわたりワード線上的数ビットおきにあるビット単位に対し同時プログラムパルス印加を行い、連続して同じビット単位のベリファイを行うようにしたので、複数のメモリトランジスタを並列に書き込むまたは読み出すことができることはもとより、さらに高速のベリファイを含むプログラム動作を実現できる利点がある。

【0089】なお、メモリセルを第1メモリトランジスタMT1、第2メモリトランジスタMT2、およびこれらの間にチャネル形成領域を共有するセレクトトランジスタSGにより構成し、かつ第1メモリトランジスタMT1、第2メモリトランジスタMT2をMONOS型(MNOS型)不揮発性メモリにより構成したので、複

数のメモリセルを縦続接続した場合に、メモリセルの第2メモリトランジスタMT2と隣接するメモリセルの第1メモリトランジスタのコントロールゲートを共有でき、コントロールゲート線の本数を低減でき、またさらなる高集積化を図ることができる。

【0090】

【発明の効果】以上説明したように、本発明によれば、ワード線上の数ビットおきにあるビット単位に対し同時プログラムパルス印加を行い、連続して同じビット単位のベリファイを行うようにしたので、複数のメモリトランジスタを並列に書き込むまたは読み出すことができることはもとより、ベリファイを含むプログラム動作の高速化を図ることができる。

【0091】また、ページを複数チップ（あるいはマット）にわたって構成し、複数チップにわたりワード線上の数ビットおきにあるビット単位に対し同時プログラムパルス印加を行い、連続して同じビット単位のベリファイを行うようにしたので、複数のメモリトランジスタを並列に書き込むまたは読み出すことができることはもとより、さらに高速のベリファイを含むプログラム動作を実現できる利点がある。

【図面の簡単な説明】

【図1】本発明の実施形態に係る不揮発性メモリ装置の要部構成を示すブロック図である。

【図2】本実施形態に係るコントロールゲート分離型メモリセルアレイを示す等価回路図である。

【図3】本実施形態に係るコントロールゲート分離型メモリセルアレイのワード線方向の概略的な断面図である。

【図4】本実施形態に係るコントロールゲート分離型メモリセルアレイの一部（図2の1列）の平面図である。

【図5】本実施形態に係るコントロールゲート共有型メモリセルアレイを示す等価回路図である。

【図6】本実施形態に係るコントロールゲート共有型メモリセルアレイのワード線方向の概略的な断面図である。

【図7】本実施形態に係るコントロールゲート共有型メ

モリセルアレイの一部（図5の1列）の平面図である。

【図8】ソースサイド注入について説明するための図である。

【図9】図9は、MONOS型メモリトランジスタの具体的な構造例を示す断面図である。

【図10】コントロールゲート分離型メモリセルアレイに対するプログラム条件を示す図である。

【図11】コントロールゲート共有型メモリセルアレイに対するプログラム条件を示す図である。

【図12】ワード線上のビットに対するプログラムパルス印加回数例を示す図である。

【図13】プログラムサイクルの構成例を示す図である。

【図14】第1のプログラム方法に係る1ページのプログラムパルス印加回数を示す図である。

【図15】第2のプログラム方法に係る1ページのプログラムパルス印加回数を示す図である。

【図16】8チップに分割した場合のページ構成を説明するための図である。

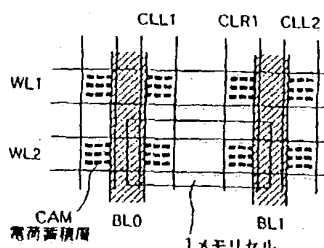
【図17】第3のプログラム方法に係る1ページのプログラムパルス印加回数を示す図である。

【図18】本実施形態に係るメモリセルアレイの分割の概念を示す図である。

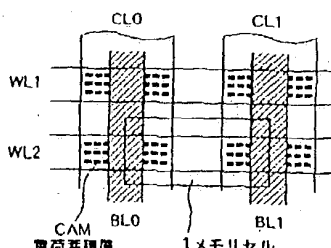
【符号の説明】

1…メモリセルアレイ、2…ロウデコード、3…カラムデコード、4…入出力回路、5…制御回路、10a、10b…ゲート絶縁膜、11a、11b…ボトム絶縁膜、12a、12b…窒化膜、13a、13b…トップ絶縁膜、CS…カラム選択回路、SA…センスアンプ、WR…書き込み回路、I/OBUF…入出力バッファ、M11～M14、M21～M24…メモリセル、MT1…第1メモリトランジスタ、MT2…第2メモリトランジスタ、ST…セレクトトランジスタ、WL、WL1、WL2…ワード線、BL0～BL4…ビット線、CLL1～CLL4、CLR1～CLR4、CL1～CL4…コントロールゲート線。

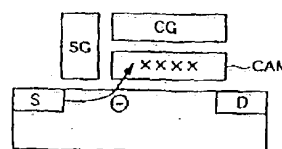
【図4】



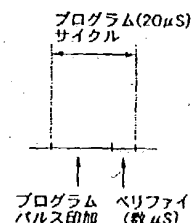
【図7】



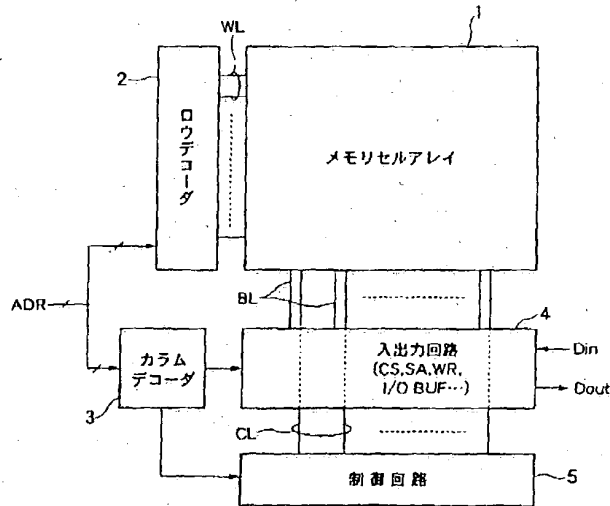
【図8】



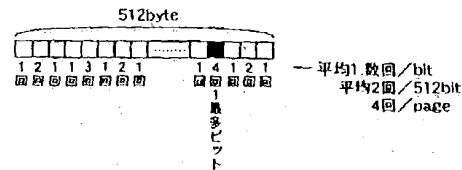
【図13】



【図1】



【図12】



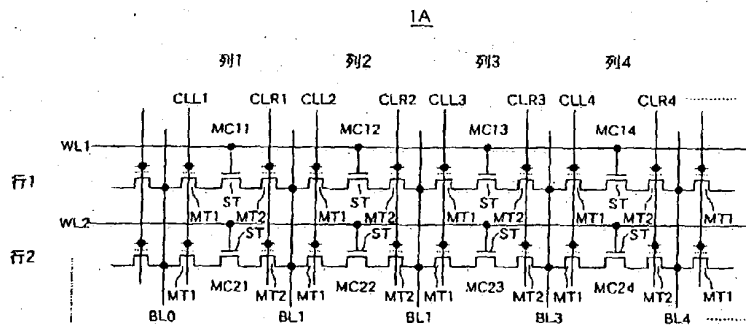
【図14】

(回数)	(ビット単位)
プログラムパルス8回	1ページ
ベリファイ8回	1ページ
プログラムパルス8回	1ページ
ベリファイ8回	1ページ
プログラムパルス8回	1ページ
ベリファイ8回	1ページ
プログラムパルス8回	1ページ
ベリファイ8回	1ページ

計 プログラムパルス32回
ベリファイ32回

1ページのプログラム時間: 840 μ s

【図2】



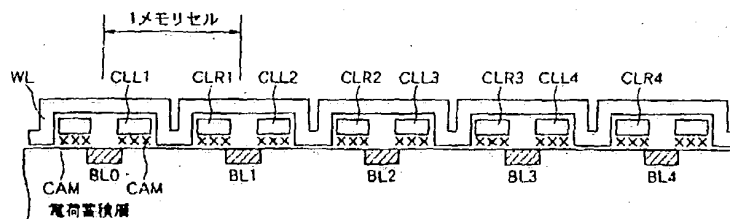
【図17】

(回数)	(ビット単位)	(チップ個数)
プログラムパルス1回	1ページ	8チップ
ベリファイ1回	1ページ	8チップ
プログラムパルス1回	1ページ	8チップ
ベリファイ1回	1ページ	8チップ
プログラムパルス1回	1ページ	8チップ
ベリファイ1回	1ページ	8チップ
プログラムパルス1回	1ページ	8チップ
ベリファイ1回	1ページ	8チップ

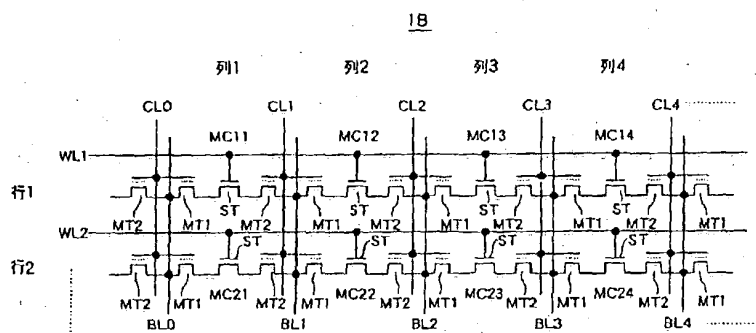
計 プログラムパルス4回
ベリファイ4回

1ページのプログラム時間: 80 μ s

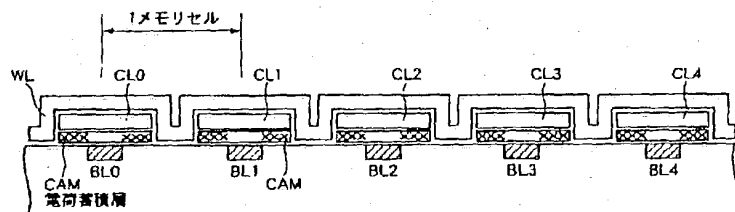
【図3】



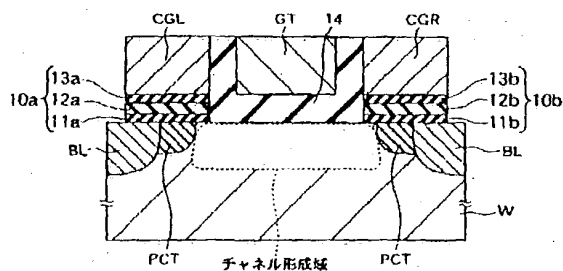
【図5】



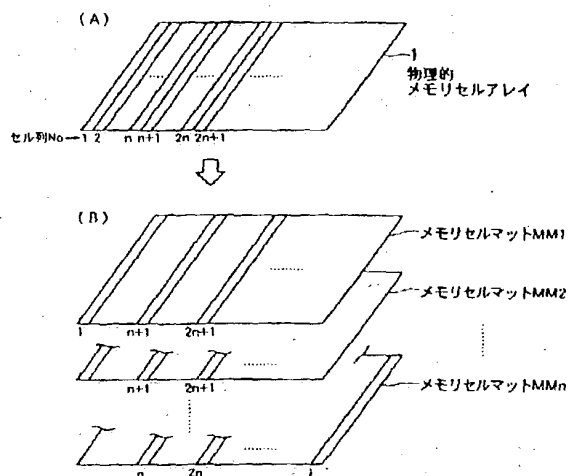
【図6】



【図9】



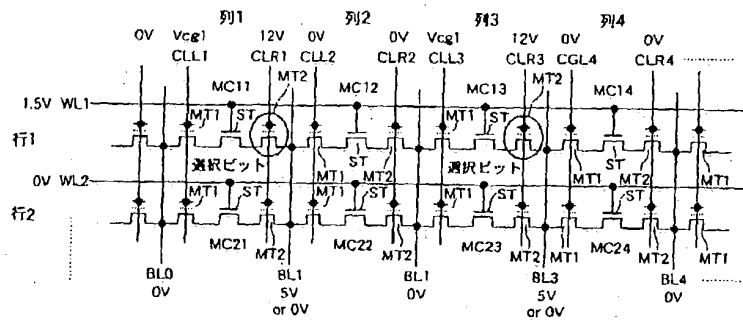
【図18】



【図10】

(コントロールゲート分離型)

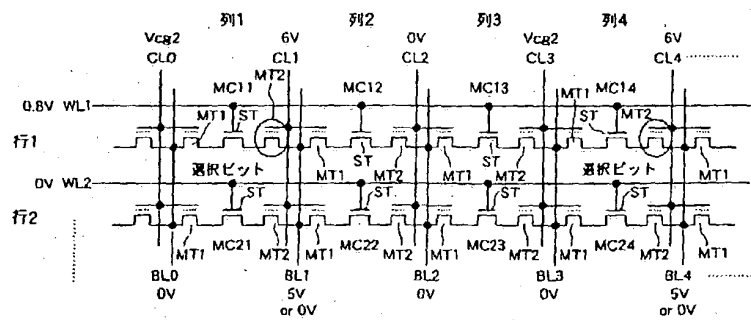
1A



【図11】

(コントロールゲート共有型)

1B



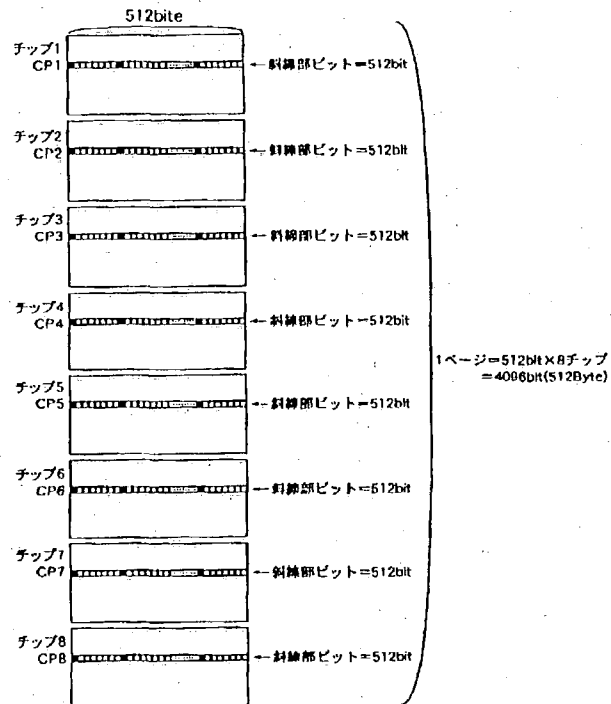
【図15】

(回数)	(ビット単位)
プログラムパルス1回	512ビット
ペリファイ1回	512ビット
プログラムパルス1回	512ビット
ペリファイ1回	512ビット
プログラムパルス1回	512ビット
ペリファイ1回	512ビット
プログラムパルス1回	512ビット
ペリファイ1回	512ビット
プログラムパルス1回	512ビット
ペリファイ1回	512ビット
プログラムパルス1回	512ビット
ペリファイ1回	512ビット
プログラムパルス1回	512ビット
ペリファイ1回	512ビット
プログラムパルス1回	512ビット
ペリファイ1回	512ビット
プログラムパルス1回	512ビット
ペリファイ1回	512ビット
プログラムパルス1回	512ビット
ペリファイ1回	512ビット
プログラムパルス1回	512ビット
ペリファイ1回	512ビット

計 プログラムパルス18回
ペリファイ18回

1ページのプログラム時間: 320 μ s

【図16】



フロントページの続き

(51)Int.Cl.

H01L 29/792

識別記号

F I

キーワード(参考)

Fターム(参考) 5B025 AA03 AA04 AB01 AC01 AD03

AD04 AD05 AE05

5F001 AA01 AA03 AA14 AA34 AB03

AC06 AD41 AD51 AD52 AE02

AF05 AF20

5F083 EP02 EP18 EP24 EP32 ER02

ER06 ER09 KA05 KA11 LA04

LA05 LA07 LA10 LA12 LA20

ZA21